

پی اچ دی تست ، وب سایت تخصصی آزمون دکتری



368

F

نام

نام خانوادگی

محل امضاء

صبح جمعه
۹۱/۱۲/۱۸
دفترچه شماره ۱

جمهوری اسلامی ایران
وزارت علوم، تحقیقات و فناوری
سازمان منجذش آموزش کشور

اگر دانشگاه اصلاح شود مملکت اصلاح می شود.
(امام خمینی (ره))

آزمون ورودی
دوره های دکتری (نیمه متاخر) داخل
در سال ۱۳۹۲

رشته
مهندسی کامپیوتر - معماری سیستم های کامپیوتی (soft افزار) (کد ۲۳۵۵)

تعداد سوال: ۴۵	مدت پاسخگویی: ۱۵۰ دقیقه
----------------	-------------------------

عنوان مود امتحانی، نداد و شماره سوالات

ردیف	مواد امتحانی	نعداد سوال	از شماره
۱	مجموعه دروس تخصصی (مدار منطقی، معماری کامپیوتر پیشرفته، LSI پیشرفته)	۴۵	۱

اسفندماه سال ۱۳۹۱

این آزمون فهره منفي دارد.
استفاده از ماشین حساب مجاز نمی باشد.

حو جاب و تکرار سوالات س از برگزاری آزمون برای تعاملی انتها حقیقی و حقوقی نهاده معمور این سازمان مجاز می باشد و با مخالفین برای غیر از دفاتر می شود.

دانلود کلیه سوالات آزمون دکتری در سایت پی اچ دی تست

پی اچ دی تست ، وب سایت تخصصی آزمون دکتری

صفحه ۲

368F

مجموعه دروس تخصصی (مدار منطقی، معماری کامپیوتر پیشرفته، VLSI پیشرفته)

- ۱ برای تابع زیر، با فرض آنکه گیت‌های m ورودی دارای هزینه‌ی سخت افزاری m هستند، مدار حاصل به صورت AND-OR دو سطحی، حداقل چه هزینه‌ای دارد؟ (فرض کنید ورودی‌ها و معکوس آن‌ها در دسترس می‌باشند).

$$F(a,b,c,d) = \sum m(0,9,10,15) + d(2,6,8,11,13,14)$$

۶ (۲)

۱۰ (۴)

۵ (۱)

۹ (۳)

- ۲ در مدار جمع گشته با پیش‌بینی نقلی (carry look-ahead) سه بیتی، با فرض تأخیرهای زیر برای گیت‌های موجود، تأخیر کل مدار چقدر است؟

$$D(\text{AND}_{m-\text{input}}) = m - 1$$

$$D(\text{OR}_{m-\text{input}}) = m - 1$$

$$D(\text{XOR}_{\gamma-\text{input}}) = 2$$

۷ (۲)

۹ (۴)

۶ (۱)

۸ (۳)

- ۳ در مدار ترتیبی Mealy که به درستی طراحی شده است، کدام گزینه درست است؟
- ۱) خروجی‌ها باید پیش از لبه‌ی فعال کلک خوانده شوند، تا مقدار صحیح به دست آید، و الا ممکن است مقدار غلط حاصل شود.
 - ۲) خارج از فوامل مربوط به set-up و hold فلیپ‌فلایپ‌ها، در هر زمان دیگری خروجی را بخوانیم صحیح است.
 - ۳) در هر لحظه خروجی‌ها صحیح می‌باشد.
 - ۴) خروجی‌ها باید بعد از لبه‌ی فعال کلک بعلاوه تأخیر clock-to-output خوانده شوند، تا مقدار صحیح به دست آید.

- ۴ گیت‌هایی در اختیار داریم که برای گرفتن مقدار صحیح از آن‌ها باید خروجی را با مقاومت pull-up کنیم. اگر خروجی دو تا از این گیت‌ها را به هم وصل کنیم:

- ۱) مقدار موجود روی خروجی، حاصل AND خروجی‌های دو گیت خواهد بود.
- ۲) مقدار موجود روی خروجی، حاصل OR خروجی‌های دو گیت خواهد بود.
- ۳) مقدار موجود روی خروجی، نصف ولتاژ منبع تغذیه خواهد بود.
- ۴) با قوشه می‌سوزد یا مقدار خروجی نامشخص است.

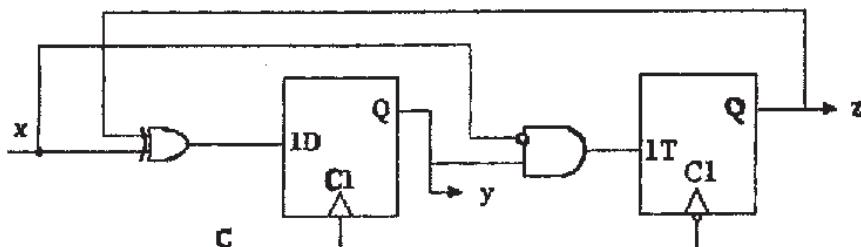
پی اچ دی تست ، وب سایت تخصصی آزمون دکتری

صفحه ۳

368F

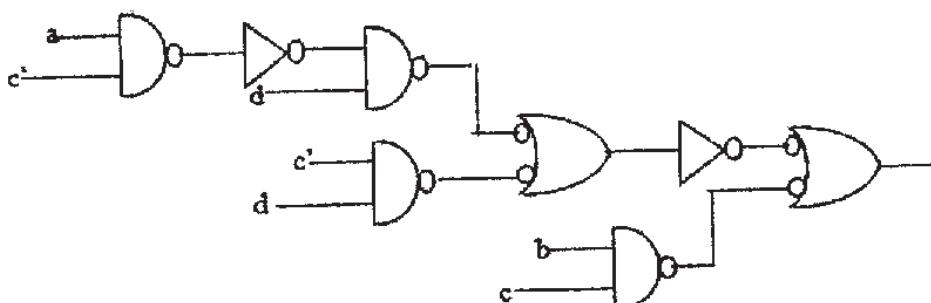
مجموعه دروس تخصصی (مدار منطقی، معماری کامپیوتر پیشرفته، VLSI پیشرفته)

- ۵ با فرض $t_{hold}^{ns} = 10$ ناخير برای هر گیت ترکیبی، $t_{setup}^{ns} = 20$ ناخير برای هر فلیپ فلاب، $t_{clock}^{ns} = 2$ زمان و $t_{hold}^{ns} = 15$ زمان hold حداکثر فرکانس کلک مدار زیر چند مگاهرتز است؟ لبه‌ی فعال فلیپ‌فلاب‌ها با هم متفاوت است. (نیم پریود کلک به صورت بهینه فرض شود).



- (۱) ۶/۶
(۲) ۱۰
(۳) ۱۲/۲
(۴) ۲۰

- ۶ مدار زیر را در نظر بگیرید. در صورت داشتن مخاطره (هazard)، چند گیت منطقی باید به مدار اضافه کنیم، تا مشکل هazard آن از بین برود؟



OR و AND ۲ گیت (۱)

این مدار هazard ندارد. (۴)

AND ۱ گیت (۳)

OR ۱ گیت (۱)

- ۷ فرض کنید می‌خواهیم با تعدادی گیت AND دو ورودی که ناخير هر یک $t_{hold}^{ns} = 10$ است، یک گیت AND پنج ورودی را پیاده سازی نماییم. ناخير سریع ترین و کندترین پیاده‌سازی ممکن (فاقد افزونگی) چقدر خواهد بود؟

۵۰ ns و ۱۰ ns (۲)

۴۰ ns و ۳۰ ns (۴)

۲۰ ns و ۱۰ ns (۱)

۳۰ ns و ۲۰ ns (۳)

پی اچ دی تست ، وب سایت تخصصی آزمون دکتری

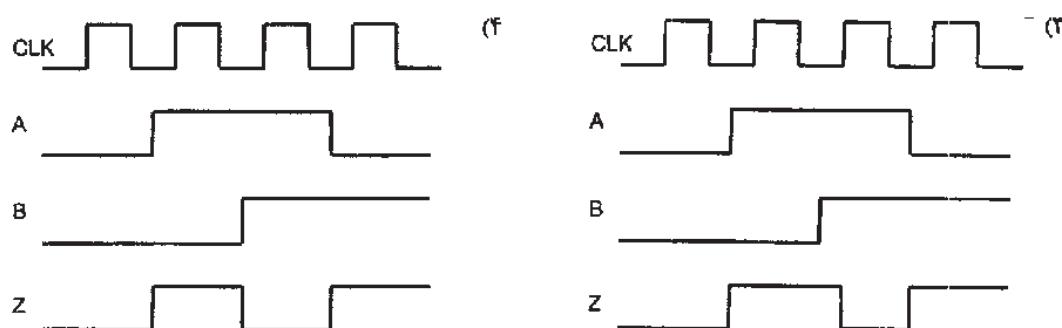
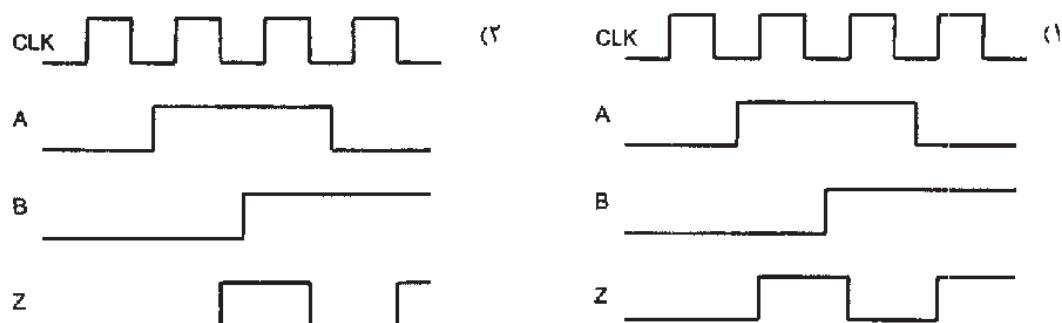
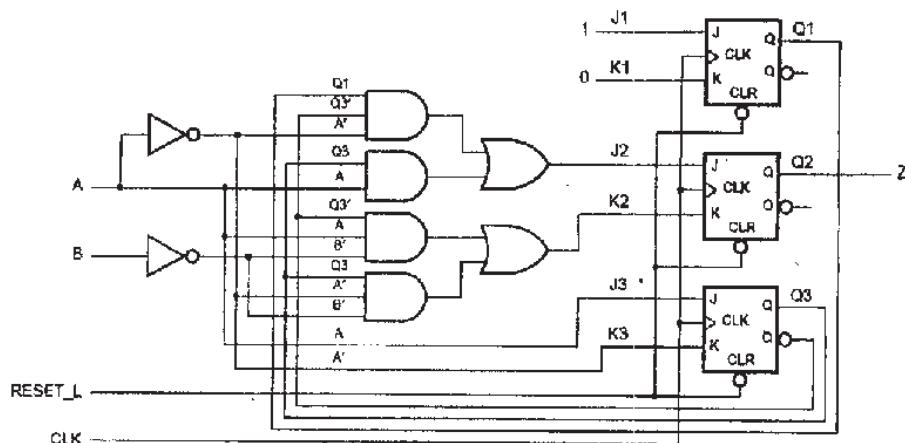
صفحه ۴

368F

مجموعه دروس تخصصی (مدار منطقی، معماری کامپیوتر پیشرفته، VLSI پیشرفته)

-۸

مدار زیر را در نظر بگیرید. کدام شکل موج می‌تواند نشان‌دهنده‌ی رفتار صحیحی از این مدار باشد؟



دانلود کلیه سوالات آزمون دکتری در سایت پی اچ دی تست

پی اچ دی تست ، وب سایت تخصصی آزمون دکتری

صفحه ۵

368F

مجموعه دروس تخصصی (مدار منطقی، معماری کامپیوتر پیشرفته، VLSI پیشرفته)

-۹

کدام گزینه، اندازه‌ی ROM لازم برای پیاده‌سازی هر یک از مدارهای ترکیبی زیر را نشان داده است؟

الف) یک جمع کننده / تفربیق کننده‌ی ۱۶ بیتی با C_{out} و C_{in}

ب) ضرب کننده‌ی 8×8

ج) انکودر با الوبیت ۱۶ بیتی

ROM	اندازه	مدار
الف	$2^{32} \times 17\text{bit}$	
ب	$2^8 \times 16\text{bit}$	
ج	$2^{16} \times 4\text{bit}$	

(۲)

ROM	اندازه	مدار
الف	$2^{32} \times 16\text{bit}$	
ب	$2^8 \times 16\text{bit}$	
ج	$2^{16} \times 5\text{bit}$	

(۱)

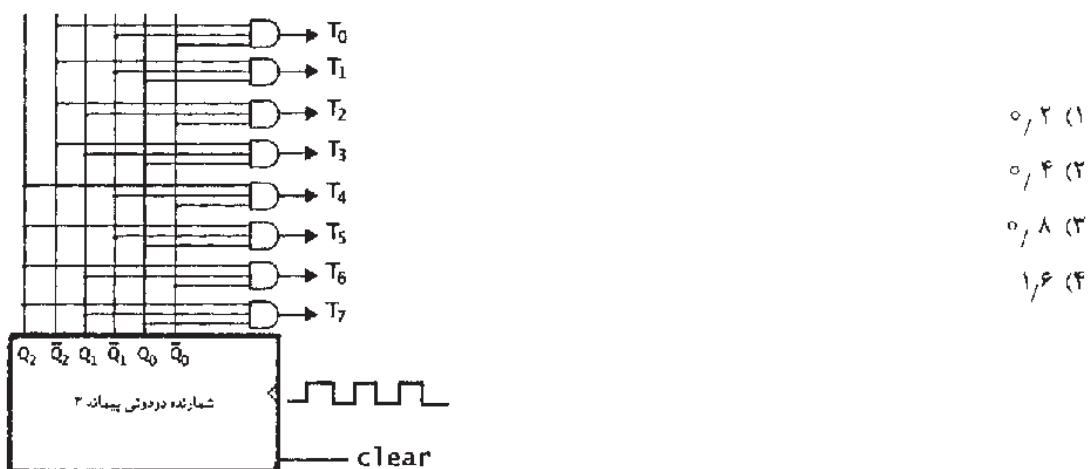
ROM	اندازه	مدار
الف	$2^{33} \times 17\text{bit}$	
ب	$2^{16} \times 16\text{bit}$	
ج	$2^{16} \times 4\text{bit}$	

(۴)

ROM	اندازه	مدار
الف	$2^{33} \times 17\text{bit}$	
ب	$2^{16} \times 16\text{bit}$	
ج	$2^{16} \times 5\text{bit}$	

(۳)

در مدار شکل زیر اگر فرکانس کلک ۵MHz باشد، مدت زمان مورد نیاز برای تولید همگی فلیپ‌فلایها، جند میکرو ثانیه است. -۱۰



دانلود کلیه سوالات آزمون دکتری در سایت پی اچ دی تست

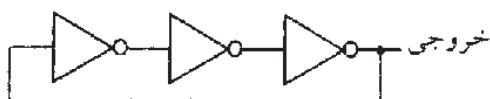
پی اج دی تست ، وب سایت تخصصی آزمون دکتری

صفحه ۶

368F

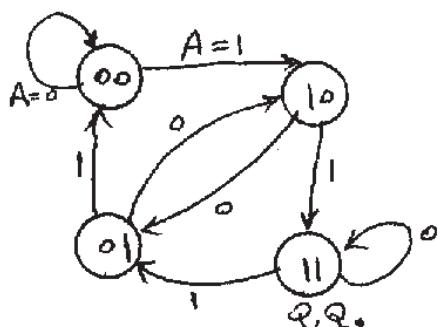
مجموعه دروس تخصصی (مدار منطقی، معماری کامپیوتر پیشرفته، VLSI پیشرفته)

- ۱۱ فرض کنید گیت‌های وارون‌ساز به شکل حلقه زیر به یکدیگر متصل باشند: که نتیجه آن نوسان در خروجی است. فرکانس نوسان 66.6 MHz می‌باشد. با فرض مشابه بودن گیت‌ها، تأخیر انتشار هر گیت گدام است؟



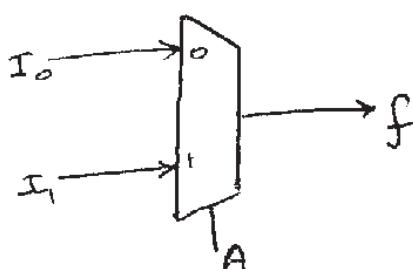
- ۲.۵ns (۱)
۵ns (۲)
۱۵ns (۳)
۲۵ns (۴)

- ۱۲ نمودار حالت رویه‌رو را با دو فلیپ فلاب D پیاده سازی می‌کنیم. مقادیر داخل حالت‌ها بیانگر خروجی‌های فلیپ فلاب‌ها به صورت $Q_1 Q_0$ هستند.تابع ورودی به فلیپ‌فلایها به چه صورت می‌باشد؟



- $D_o = A \oplus Q_1, D_1 = Q_o$ (۱)
 $D_o = Q_1, D_1 = A \oplus Q_o$ (۲)
 $D_o = Q_1, D_1 = Q_o \oplus Q_1$ (۳)
 $D_o = A \oplus Q_1, D_1 = A \oplus Q_o$ (۴)

- ۱۳ برای پیاده‌سازی تابع $f(A, B, C) = \sum m(1, 2, 5, 7)$ با استفاده از مولتی پلکسor شکل زیر، ورودی‌ها گدام است؟



- $I_1 = BC, I_o = C$ (۱)
 $I_1 = BC, I_o = B \oplus C$ (۲)
 $I_1 = C, I_o = B \oplus C$ (۳)
 $I_1 = BC, I_o = \bar{BC}$ (۴)

پی اچ دی تست ، وب سایت تخصصی آزمون دکتری

صفحه ۷

368F

مجموعه دروس تخصصی (مدار منطقی، معماری کامپیووتر پیشرفته، VLSI پیشرفته)

-۱۴ گزینه صحیح، کدام است؟

- ۱) حالت فعلی یک مدار ترتیبی همگام (سنکرون) که از P فیلیپ فلاپ تشکیل شده است را می‌توان فقط با داشتن ورودی‌هایی که در 2^7 پالس ساعت قبل به آن داده شده، تعیین کرد.
- ۲) هر مدار ترتیبی را می‌توان فقط با استفاده از گیت‌های NOR پیاده سازی کرد.
- ۳) هر مدار منطقی که فقط از گیت‌های NAND تشکیل شده باشد، یک مدار ترکیبی است.
- ۴) گزینه‌های ۱ و ۲ صحیح هستند.

-۱۵ برای جدول کارنوی زیر، آیا مخاطره‌ی ایستای (static hazard) وجود دارد؟ اگر وجود دارد، تحت چه شرایطی؟

CD	00	01	11	10
AB	1	1	1	1
00				
01			1	1
11		1	1	
10				

- ۱) اگر $A = 1$ باشد و $B = C = D = 0$ از ۱ به صفر برود، مخاطره ایستای ۱ دارد.
- ۲) اگر $B = C = D = 1$ باشد و $A = 0$ از صفر به ۱ برود، مخاطره ایستای صفر دارد.
- ۳) در دو حالت مخاطره ایستای ۱ دارد: اگر $B = C = D = 1$ باشد و $A = 0$ به صفر برود و همچنین اگر $A = 0$ و $B = C = D = 1$ باشد و $C = 1$ به صفر برود.
- ۴) در دو حالت مخاطره ایستای صفر دارد: اگر $B = C = D = 1$ باشد و $A = 0$ از صفر به ۱ برود و همچنین اگر $A = 0$ و $B = C = D = 1$ باشد و $C = 0$ از صفر به ۱ برود.

پی اچ دی تست ، وب سایت تخصصی آزمون دکتری

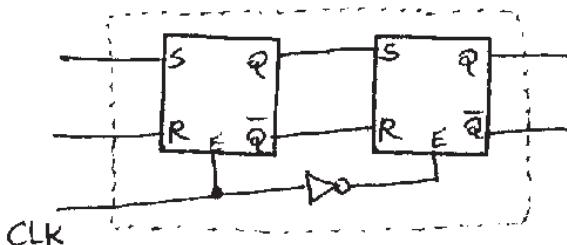
صفحه ۸

368F

مجموعه دروس تخصصی (مدار منطقی، معماری کامپیوتر پیشرفته، VLSI پیشرفته)

-۱۶

مجموعه‌ی خط‌چین شکل زیر، که از دو عدد لج نوع RS با فعال ساز E و یک گیت NOT تشکیل شده، معادل کدام است؟



- (۱) یک حافظه RS حساس به سطح پایین پالس ورودی Clk
- (۲) یک حافظه RS حساس به سطح بالای پالس ورودی Clk
- (۳) یک فلیپ فلاب نوع RS، حساس به لبه پایین رونده Clk
- (۴) یک فلیپ فلاب نوع RS، حساس به لبه بالای رونده Clk

-۱۷

عبارت POS (حاصل ضرب مجموعهای) مینیمم برای تابع $F = \overline{A}\overline{B}\overline{C}D + \overline{A}\overline{B}\overline{C}\overline{D} + A\overline{B}CD + ABC\overline{D}$ ، برابر کدام است؟

$$F = (A + \overline{D})(\overline{A} + D)(B + C)(\overline{B} + \overline{C}) \quad (۱)$$

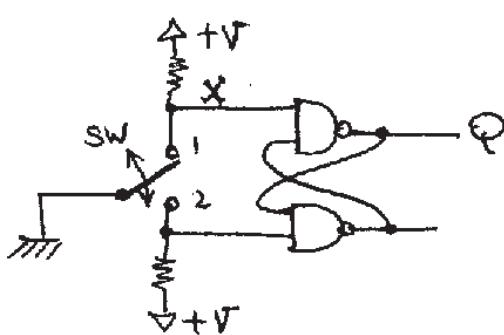
$$F = (A + B)(\overline{A} + \overline{B})(C + \overline{D})(\overline{C} + D) \quad (۲)$$

$$F = (A + C)(\overline{A} + \overline{C})(B + \overline{D})(\overline{B} + D) \quad (۳)$$

$$F = (A + \overline{C})(\overline{A} + C)(B + D)(\overline{B} + \overline{D}) \quad (۴)$$

-۱۸

در مدار زیر سویچ دستی و دو وضعیتی SW در هنگام تغییر وضعیت از حالت ۱ به ۲ و بالعکس دارای Bounce می‌باشد. گزینه‌ی صحیح در مورد آن، کدام است؟



- (۱) وضعیت Q پس از پایان یافتن Bounce کلید در وضعیت ۱ یا ۲ معتبر می‌باشد.
- (۲) چون سویچ دارای Bounce می‌باشد، حذف آن بهصورت الکترونیکی امکان پذیر نمی‌باشد.
- (۳) هنگامی که سویچ در میان راه رسیدن به حالت ۱ یا ۲ است، هر دو ورودی NAND یک بوده و خروجی Q، غیرقابل بیش‌بینی است.
- (۴) اگر X و Q را به ورودی‌های کلک دو شمارنده وصل کنیم، با تغییر حالت سویچ SW هر شمارنده مقدار متفاوتی را می‌شمارد.

دانلود کلیه سوالات آزمون دکتری در سایت پی اچ دی تست

پی اچ دی تست ، وب سایت تخصصی آزمون دکتری

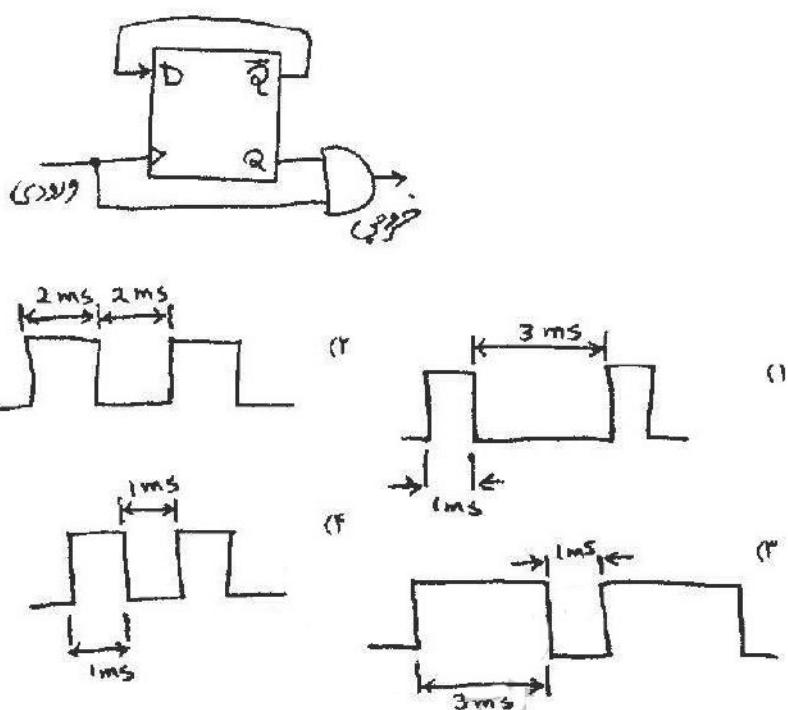
صفحه ۹

368F

مجموعه دروس تخصصی (مدار منطقی، معماری کامپیوتر پیشرفته، VLSI پیشرفته)

-۱۹

در مدار زیر رو، اگر به ورودی پالس با فرکانس 500 هرتز داده شود، شکل موج خروجی برابر کدام است؟



-۲۰

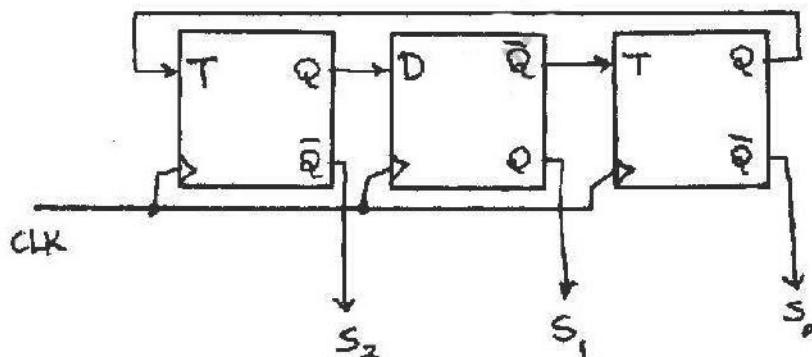
در مدار زیر به فرض شروع از حالت اولیه $S_2S_1S_0 = 000$ ، پس از چند کلاک به حالت اولیه باز می‌گردد.

۳ (۱)

۴ (۲)

۵ (۳)

۶ (۴)



-۲۱

در یک شبکه توری مدور (torus)، $10 \times 10 \times 10$ (cylinder)، تعداد پیوندهای دو طرفه بین گره‌ها، بیشترین فاصله بین دو گره شبکه (قطر)، و پهنای میان برشی (Bisection width)، برابر کدام است؟

۶۰۰, ۱۵, ۲۰۰۰ (۱)

۴۰۰, ۲۷, ۲۰۰۰ (۲)

۳۰۰, ۲۷, ۳۰۰۰ (۳)

۲۰۰, ۱۵, ۴۰۰۰ (۴)

دانلود کلیه سوالات آزمون دکتری در سایت پی اچ دی تست

پی اچ دی تست ، وب سایت تخصصی آزمون دکتری

صفحه ۱۰

368F

مجموعه دروس تخصصی (مدار منطقی، معماری کامپیوتر پیشرفته، VI.SI پیشرفته)

-۲۲ فرض کنید در یک پردازنده صد هسته‌ای، امکان تلفیق مدارهای m هسته ($2 \leq m \leq 100$) برای ساخت یک هسته بزرگ‌تر با قدرت پردازشی \sqrt{m} برابر یک هسته معمولی وجود دارد. در این صورت حداقل تسريع قابل احتصال برای یک برنامه که

۱۰ درصد کد برنامه سریال است، برابر خواهد بود با (طبق قانون امداد، نسبت به یک هسته معمولی):

(۱) بیش از ۵ اما کمتر از ۱۰ (۲) بیش از ۱۰ اما کمتر از ۲۰

(۳) بیش از ۲۰ اما کمتر از ۵۰ (۴) بیش از ۵۰

گزینه نادرست کدام است؟

(۱) استفاده از زنجیر کردن واحدهای پردازش لوله‌ای (Pipeline Chaining) در یک کامپیوتر پردازی بهمنی باند دسترسی به حافظه را افزایش می‌دهد.

(۲) طبق قانون امداد، اگر درصد کد سریال برنامه f باشد، حداقل تسريع قابل احتصال با پردازش موازی برابر $\frac{1}{f}$ است.

(۳) بهمنی میان پردازشی در یک شبکه فوق عکس n بعدی برابر است با 2^{n-1} .

(۴) شبکه جند سطحی clos از نوع non-blocking است.

گزینه صحیح، در یک واحد پردازش لوله‌ای کدام است؟

(۱) اگر بیت آم در پرداز تصادم برابر ۱ باشد، یعنی راه‌اندازی یک عملیات جدید ۱ پالس پس از شروع عملیات قبلی ممکن است

(۲) پرداز تصادم (collision vector) در یک خط لوله n سطحی دارای $n!$ بیت است. که در آن بیت آم نشان‌دهنده لمکان بروز تصادم در صورت راه‌اندازی (initiation) یک عملیات پس از آن پالس ساعت است.

(۳) سیکل حریصانه (greedy cycle)، دنباله‌ای از تأخیرهای راه‌اندازی مجاز در خط لعله است.

(۴) امکان افزایش کارآیی، با اضافه کردن سطوح تأخیری بین سطوح پردازشی وجود دارد.

-۲۴ در یک ابرکامپیوتر پردازی می‌خواهیم برای هر عنصر x در یک پرداز m عنصری عبارت $\sqrt{\ln(\sin x)}$ را محاسبه کنیم. به

فرض این که خطوط لوله محاسبه x (6 سطحی)، $\sin x$ (8 سطحی) و $\ln x$ (4 سطحی) در معماری این کامپیوتر موجود باشند. حداقل تسريع قابل احتصال توسط زنجیر کردن (نسبت به حالت بدون زنجیر کردن) برابر کدام است؟

(۱) ۲/۵ (۲) ۳

(۳) ۴/۵ (۴) ۲

-۲۵ در یک پردازنده با معماری لوله‌ای n سطحی و m -issue superscalar به فرض این که ده درصد دستورات پرش شرطی

باشند، حداقل IPC برابر کدام است؟ موجه: تأخیر هر سطح خط لوله را C پالس ساعت فرض کنید.

$$\frac{m}{c} \quad (۱) \quad \frac{c}{m} \quad (۲)$$

$$\frac{c/9m + n}{c} \quad (۳) \quad 0.9 \times \frac{mn}{c} \quad (۴)$$

پی اچ دی تست ، وب سایت تخصصی آزمون دکتری

صفحه ۱۱

368F

مجموعه دروس تخصصی (مدار منطقی، معماری کامپیوتر پیشرفته، VLSI پیشرفته)

-۲۷ در یک خط لوله چهار سطحی، جدول رزوابسیون به صورت زیر است. حداقل و حداکثر تأخیر لازم برای راه اندازی یک عملیات جدید پس از عملیات قبلی، برابر کدام است؟

	t_1	t_2	t_3	t_4	t_5
S_1	x			x	
S_2		x		x	
S_3			x		
S_4	x				x

- (۱) ۱ و ۵
- (۲) ۱ و ۶
- (۳) ۲ و ۵
- (۴) ۲ و ۶

-۲۸ در دستورات زیر:

$I_1 : Add r_0, r_1, r_2$

$I_2 : Sub r_0, r_3, r_4$

$I_3 : Add r_0, r_1, r_3$

کدام وابستگی قابل رفع توسط Register Renaming نمی باشد؟

- (۱) I_2 به I_1 (دسترسی به r_0)
- (۲) I_3 به I_1 (دسترسی به r_0)
- (۳) I_3 به I_2 (دسترسی به r_0)
- (۴) I_2 به I_3 (دسترسی به r_0)

-۲۹ در یک مرکز داده، هر سرور دارای خرابی FIT(Failure in Time) ۱۰۰۰ می باشد. با فرض اینکه زمان تعمیر هر سرور

= ۱ ساعت طول بگشود، میزان دسترسی پذیری هر سرور، کدام است؟

- (۱) ۰,۹۹۹۹۹۹
- (۲) ۰,۹۹۹۹۹۹۹
- (۳) ۰,۹۹۹۹۹۹۹۹
- (۴) ۰,۹۹۹۹۹۹۹۹۹

-۳۰ طراحان یک پردازنده قصد بهبود طراحی قبلی خود را دارند. یک راه برای تسريع اجرای برنامه ها بر روی این پردازنده، بهبود دستورات واحد Floating – Point (FP) می باشد. طراحی جدید ریز معماری این واحد سبب تسريع ۳ برابری این دستورات شده و لی فضای سطح تراشه بیشتری به این واحد اختصاص داده می شود. از این رو، برای ثابت نگهداشت مساحت سطح تراشه، اندازه و ریز معماری حافظه نهان داده طوری تغییر یافته است، که دسترسی به این حافظه ۲ برابر کنده شده است. با فرض این که، دستورات FP و دستورات دسترسی به حافظه نهان داده به ترتیب ۲۰٪ و ۱۵٪ زمان اجرای کل برنامه در معماری قبلی باشد، تسريع به دست آمده چه مقدار خواهد بود؟

- (۱) ۱۱۲
- (۲) ۸۸٪
- (۳) ۵۲٪
- (۴) ۹۸٪

پی اج دی تست ، وب سایت تخصصی آزمون دکتری

صفحه ۱۲

368F

مجموعه دروس تخصصی (مدار منطقی، معماری کامپیوتر پیشرفته، VLSI پیشرفته)

-۳۱

برای کارکرد کم توان یک سیستم در هنگام بیکاری آن، دو روش **Standby** و **Hibernate** وجود دارد. در روش **Standby** حافظه اصلی سیستم بر **DRAM** همچنان روش می‌ماند؛ ولی در روش **Hibernate** داده‌های حافظه اصلی، به یک حافظه غیر فرار منتقل شده و به هنگام بازگشت به کارکرد عادی، داده‌ها مجدداً از حافظه غیر فرار به حافظه اصلی منتقل می‌گردند. با فرض اینکه خواندن یا نوشتمن یک بلاک داده ۶۴ بایتی از حافظه غیر فرار و حافظه **DRAM** به ترتیب $2/56$ میکرو زول و $5/0$ نانو زول، انرژی مصرف کند و همچنین توان استاتیک حافظه **DRAM** برای حافظه ۴ گیگابایتی ۱ وات باشد، کمترین زمان بیکاری سیستم حدوداً چند ثانیه باشد. تا استفاده از روش **Hibernate** مقرر نبوده باشد؟

۲۰۰ (۲)

۱۶۰ (۱)

۴۰۰ (۴)

۳۲۰ (۳)

-۳۲

طراحی می‌خواهد ریزمعماری یک پردازنده تک سیکلی (Single Cycle) را به خط لوله‌ای (pipelined) تبدیل کند. سیکل ساعت طراحی اولیه ۷ نانو ثانیه می‌باشد. پس از تقسیم‌بندی ریز معماری به چند قسمت، تأخیر هر بخش بدین ترتیب محاسبه می‌شود: $IF = 1ns$, $ID = 1.5ns$, $EX = 1ns$, $MEM = 2ns$, $WB = 1.5ns$. ۱/۰ نانو ثانیه می‌باشد. با فرض اینکه به ازای هر ۴ دستور، یک **Stall** در خط لوله رخ دهد، تسریع ریز معماری خط لوله‌ای، نسبت به ریز معماری تک سیکلی، چند است؟

۲/۲۲ (۲)

۱/۷۹ (۱)

۲/۶۷ (۴)

۳/۴۴ (۳)

-۳۳

حداکثر تسریع قابل حصول نسبت به اجرای غیرلوله‌ای برای اجرای تعداد نامتناهی محاسبات با خط لوله محاسباتی غیر خطی زیر چیست؟

زمان	۱	۲	۳	۴	۵	۶
طبقه	x		x			
طبقه ۱	x			x		
طبقه ۲	x	x			x	
طبقه ۳		x		x		
طبقه ۴	x		x			
طبقه ۵			x			

۱/۷ (۱)

۲/۱ (۲)

۵ (۳)

۶ (۴)

پی اج دی تست ، وب سایت تخصصی آزمون دکتری

صفحه ۱۳

368F

مجموعه دروس تخصصی (مدار منطقی، معماری کامپیوتر پیشرفته، VLSI پیشرفته)

-۳۴

در یک پردازنده RISC خط لوله دستورالعمل شامل ۶ طبقه‌ی زیر است:

Register Write , Memory Access, Execute , Register Read, Decode, Fetch

دستور Stw Ra , RS مقدار ثبات Rs را در حافظه‌ای که آدرس آن در Ra است، ثبت می‌کند، و در نتیجه از طبقه Register Write استفاده نمی‌کند. دستورهای محاسباتی روی ثبات‌ها (مثل add Rd,Rs1,Rs2) مقدار دو ثبات Rs1 و Ra را خوانده و نتیجه را در ثبات Rd ثبت می‌کنند، و در نتیجه از طبقه Memory Access استفاده نمی‌کنند. تنها دستوری که از همه طبقات استفاده می‌کند، دستور Ldw Rd, Ra است، که آدرس حافظه را از ثبات Ra خوانده و مقدار کلمه ثبت شده در آن خانه حافظه را به ثبات Rd منتقل می‌کند. اجرای دستورات زیر در این پردازنده چند کلاک طول می‌کشد؟

۱۰) ۱	ldw r1, r2
۶) ۲	add r3, r4, r5
۱۱) ۳	add r6, r7, r8
۳۶) ۴	add r9, 10, r11
	stw r2, r1
	add r12, r13, r14

-۳۵

در یک پردازنده RISC خط لوله دستورالعمل شامل ۶ طبقه‌ی زیر است:

Register Write , Memory Access, Execute , Register Read, Decode, Fetch

دستور Stw Ra , RS مقدار ثبات Rs را در حافظه‌ای که آدرس آن در Ra است، ثبت می‌کند. دستورهای محاسباتی روی ثبات‌ها (مثل add Rd,Rs1,Rs2) مقدار دو ثبات Rs1 و Rs2 را خوانده و نتیجه را در ثبات Rd ثبت می‌کنند، دستور Ldw آدرس حافظه را از ثبات Ra خوانده و مقدار کلمه ثبت شده در آن خانه حافظه را به ثبات Rd منتقل می‌کند. خواندن و نیز نوشتمن ثبات‌ها، هر دو در لبۀ ثابت پالس ساعت انجام می‌شود. مقدار نهایی محاسبه در این پردازنده در دو حالت با و بدون استفاده از forwarding، به ترتیب در انتهای کدام کلاک در حافظه ثبت می‌شود؟

۱۷ و ۹) ۱	ldw r1, r2
۱۷ و ۱۲) ۲	add r3, r2, r1
۱۸ و ۱۲) ۳	add r5, r4, r3
۲۲ و ۱۰) ۴	stw r2, r5

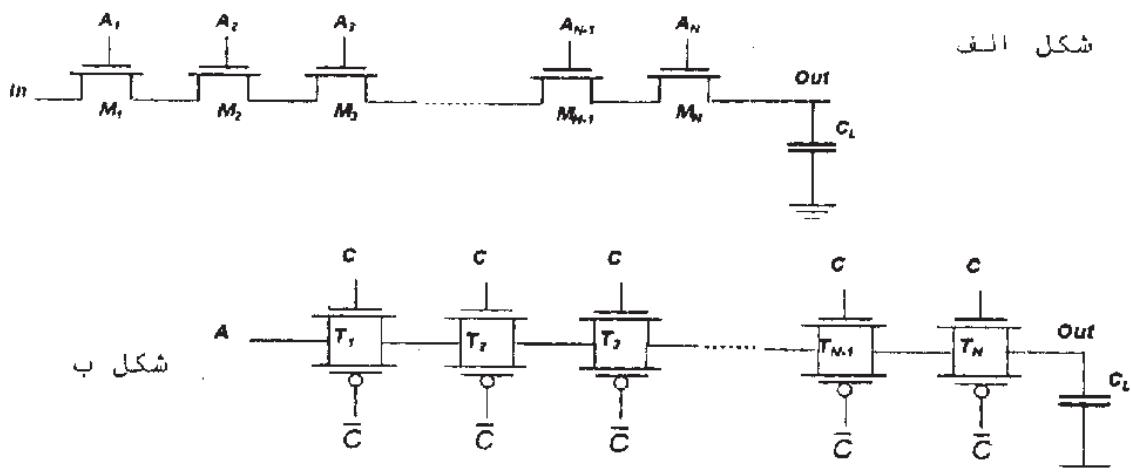
پی اچ دی تست ، وب سایت تخصصی آزمون دکتری

صفحه ۱۴

368F

مجموعه دروس تخصصی (مدار منطقی، معماری کامپیووتر پیشرفته، VLSI پیشرفته)

- ۳۶ - فرض می‌گنیم که در هر دو مدار همه خازن‌های پارازیتیکی و خازن باار در لحظه شروع تخلیه باشند. یک ورودی High اعمال کرده و پس از پایدار شدن ورودی، همه سیگنال‌های کنترل را هم زمان فعال می‌گنیم، تا ترانزیستورها همه روشن شوند. ترانزیستورهای NMOS در شکل‌های الف و ب سایز یکسان دارند. هم چنین فرض کنید که ترانزیستورهای PMOS یکسان بوده و نسبت ابعاد هر جفت ترانزیستور NMOS و PMOS طوری انتخاب شده که مقاومت یکسان دارند. تأخیر انتشار در سرخازن باار در مدار الف و ب را با هم مقایسه کنید.



- ۱) مدار ب نسبت به مدار الف به دلیل افزایش خازن کل، توان دینامیکی بیشتری مصرف می‌کند، اما تأخیر مدار از ورودی تا خروجی تغییر نمی‌کند، زیرا خازن‌ها افزایش یافته‌اند و مقاومت‌ها کاهش یافته‌اند.
- ۲) مدار ب نسبت به الف توان بیشتری مصرف می‌کند، زیرا خازن‌ها افزایش یافته‌اند. اما این مدار سریع‌تر است، زیرا مشکل افت ولتاژ آستانه که در مدار الف وجود دارد در مدار ب حل شده است.
- ۳) مدار ب نسبت به مدار الف، به دلیل افزایش خازن کل مدار توان دینامیکی بیشتری مصرف می‌کند، اما به همین دلیل، افزایش خازن کل کندر از مدار الف است.
- ۴) به دلیل تعداد بیشتر ترانزیستورها، مدار ب توان دینامیکی بیشتری مصرف می‌کند، اما در عوض به دلیل موازی شدن ترانزیستورهای NMOS و PMOS، مصرف ایستای کمتری دارد.

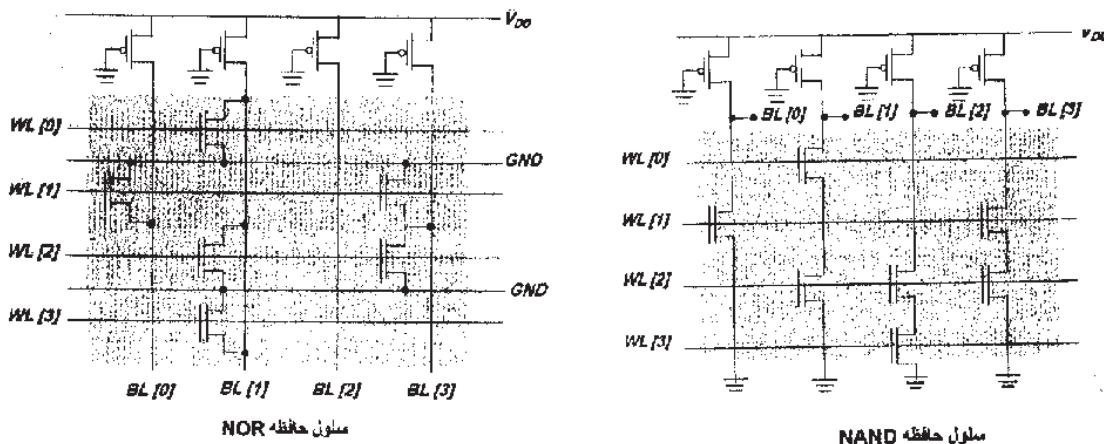
پی اج دی تست ، وب سایت تخصصی آزمون دکتری

صفحه ۱۵

368F

مجموعه دروس تخصصی (مدار منطقی، معماری کامپیووتر پیشرفته، VLSI پیشرفته)

۳۷ شکل‌های زیر یک حافظه‌ی NOR ROM 4×4 و یک حافظه‌ی NAND ROM 4×4 را نشان می‌دهد. کدام یک از گزینه‌های زیر مقدار ذخیره شده در حافظه و عبارت مربوط به سلول حافظه را صحیح نشان داده و صحیح بیان می‌کند؟



- ۱) تأخیر سلول حافظه NOR و NAND هیچ ربطی به بزرگی اندازه آرایه ندارد، بلکه فقط به بزرگی هر یک از ترانزیستورها ارتباط دارد. مقادیر ذخیره شده:

NOR	NAND
0100	1011
1001	0110
0101	1000
0100	1101

- ۲) تأخیر سلول حافظه NOR و سلول حافظه NAND هر دو به اندازه آرایه و اندازه ترانزیستورها ارتباط دارد. مقادیر ذخیره شده:

NOR	NAND
0100	1011
1001	0110
0101	1000
0100	1101

- ۳) تأخیر سلول حافظه NAND تابع اندازه آرایه است؛ اما تأخیر سلول حافظه NOR ربطی به اندازه آرایه ندارد. برای آرایه‌های بزرگ، سلول NOR از NAND از نظر تأخیر بهتر است. مقادیر ذخیره شده:

NOR	NAND
1011	0100
0110	1001
1010	0111
1011	0010

- ۴) تأخیر سلول حافظه NAND تابع اندازه آرایه نیست؛ اما تأخیر سلول حافظه NOR تابع اندازه آرایه است. برای آرایه‌های بزرگ، سلول NAND از NOR از نظر تأخیر بهتر است. مقادیر ذخیره شده:

NOR	NAND
1011	0100
0110	1001
1010	0111
1011	0010

پی اج دی تست ، وب سایت تخصصی آزمون دکتری

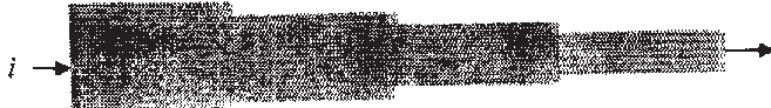
صفحه ۱۶

368F

(پیشرفتی،

مجموعه دروس تخصصی (مدار منطقی، معماری کامپیوتر پیشرفتی، VLSI

-۳۸ یک روش برای بهبود تأخیر یک سیم، افزایش عرض آن با هدف کاهش مقاومت سیم می‌باشد. یک راه این است که عرض کل سیم زیاد شود؛ و راه دیگر تغییر عرض آن به صورت پله‌ای است (طبق شکل زیر). با استفاده از مدل تأخیر المور تحلیل کنید که نسبت تأخیر سیمی که عرض آن به یکباره چهار برابر شود، نسبت به سیمی که عرض آن به صورت پله‌ای طی چهار مرحله از یک به چهار افزایش یابد چقدر خواهد شد؟ فرض کنید سیم اولیه به چهار قطعه مساوی تقسیم شده است، که هر یک با «R» و «C» مشخص می‌شوند.



(۱) هفت دهم

(۲) یک و چهار دهم

(۳) یک و دو دهم

(۴) یک

-۳۹ برای تغذیه‌ی یک خازن با ظرفیت $C_g = 2 \times 10^{-3} \text{ PF}$ پیکوفاراد، از دو طبقه وارونگر CMOS استفاده شده است: که مقدار رشد طبقه دوم آن نسبت به طبقه‌ای اول آن برابر 2^0 است. نسبت تأخیر این بافر به بهترین تأخیر ممکن برای آن چقدر است؟ مقدار خازن گیت ورودی برابر $C_g = 2 \times 10^{-3} \text{ PF}$ است.

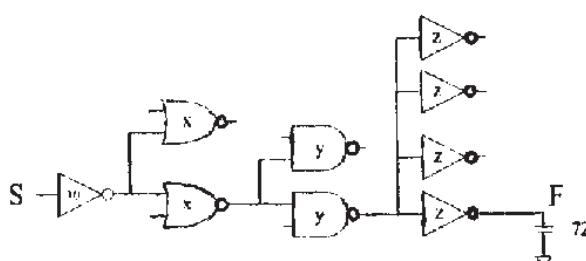
۲/۲ (۲)

۴/۲ (۱)

۱/۶۷ (۴)

۲/۶ (۳)

-۴۰ در مدار شکل زیر، با استفاده از روش تلاش منطقی، اندازه‌ی گیت‌ها (مقادیر x, y و z) را طوری ببایید که تأخیر مسیر S به حداقل شود.



$$x = 2/5, y = 6, z = 1 \lambda \quad (۱)$$

$$x = 6, y = 4/5, z = 1/2 \quad (۲)$$

$$x = 12, y = 16, z = 1 \lambda \quad (۳)$$

$$x = 6, y = 12, z = 10 \quad (۴)$$

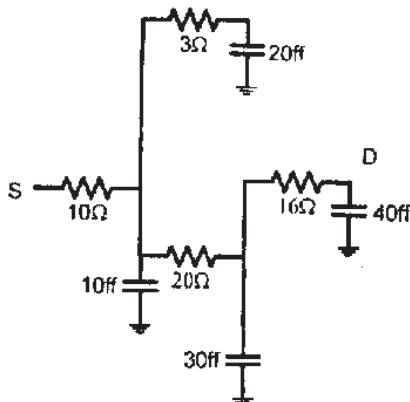
پی اج دی تست ، وب سایت تخصصی آزمون دکتری

صفحه ۱۷

368F

مجموعه دروس تخصصی (مدار منطقی، معماری کامپیوتر پیشرفته، VLSI پیشرفته)

-۴۱ در شبکه مقاومت - خازنی زیر تأخیر بین گره S تا D چقدر است؟



۴/۲ps (۱)

۲۱۲۰fs (۲)

۱/۸۳ps (۳)

۳۶۲۰fs (۴)

-۴۲ در فناوری‌های CMOS با طول کانال زیر ۵۵ نانومتر بهره‌ی جریان ترانزیستورها با استفاده از گدام مورد، حفظ شده است؟

(۱) مواد عایق با ضریب دی الکتریک کمتر از اکسید سیلیکون برای ساخت عایق گیت

(۲) فناوری کریستال تحت تنش

(۳) مواد عایق با ضریب دی الکتریک بیشتر از اکسید سیلیکون برای ساخت عایق بین اتصالات

(۴) فلز مس به جای آلومینیوم

-۴۳ مساحت دروازه منطقی با تابع $\bar{y} = AB + CDE$ CMOS استاندارد در تکنولوژی با مقدار $\lambda = 10\text{ nm}$ و حداقل

صرفه جویی، چقدر خواهد شد؟ راهنمایی: دیاگرام میله‌ای را رسم و از روی آن تخمین مساحت بزنید.

(۱) 224000nm^2

230400nm^2

(۲) 313600nm^2

268800nm^2

-۴۴ نلاش منطقی دروازه NOR با n ورودی با جریاندهی مشابه معکوس کننده پایه با ۲ چیست؟

(۱) $\frac{n+1}{3}$

(۲) $\frac{n+2}{3}$

(۳) $\frac{n+1}{3}$

(۴) $\frac{n}{3}$

پی اچ دی تست ، وب سایت تخصصی آزمون دکتری

صفحه ۱۸

368F

مجموعه دروس تخصصی (مدار منطقی، معماری کامپیوتر پیشرفته، VLSI پیشرفته)

-۴۵

یک سوال معکوس کننده پایه را با $W_n = 1$ ، $W_p = 2$ با مقاومت درایو بالابر و پایین‌بر R در نظر بگیرید. در یک حافظه مگا سلولی خطوط آدرس به دو دسته مساوی برای انتخاب کردن سطر و ستون تقسیم می‌شوند. در حالت اول برای دیکودر سطر از تعدادی گیت NOR در یک طبقه استفاده می‌کنیم که هر یک مقاومت درایو بالا و پایین بر $R/2$ را داشته باشند. مساحت کلی این دیکودر سطر را A1 می‌نامیم. در حالت دوم ابتدا خطوط آدرس سطر را به دسته‌های دوتایی تقسیم و با تعدادی گیت NAND دو ورودی و معکوس کننده هر دو با مقاومت درایو R پیش دیکد (Predecode) می‌کنیم و سپس از تعدادی گیت NAND با ورودی‌های به تعداد نصف خطوط آدرس انتخاب‌گر سطر و با مقاومت درایو R استفاده می‌کنیم تا کلیه سطرهای حافظه بتوانند انتخاب شوند. مساحت مجموعه دیکودرهای این حالت را A2 می‌نامیم. نسبت A1 به A2 چیست؟

(۲) ۷/۲۵

(۱) ۲/۲۵

(۳) ۱۱

(۴) ۵/۵